

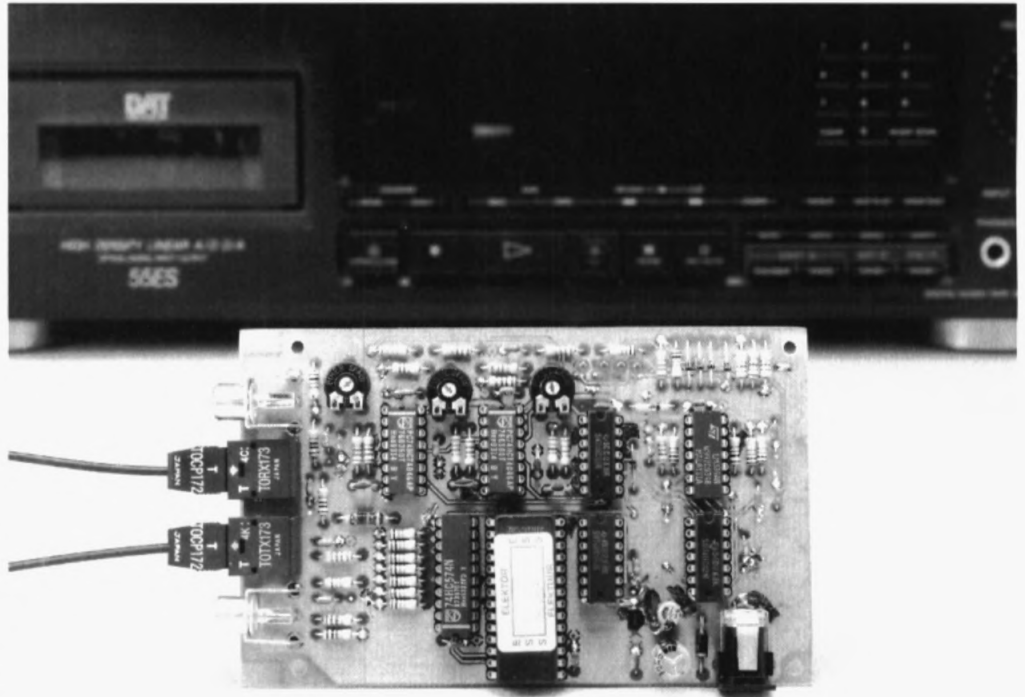


eenvoudige copybit-killer

digitaal kopiëren zonder beperkingen

Het zogeheten Serial Copy Management System (SCMS) verhindert digitale audio-opnamen vanaf de tweede generatie. Deze beveiliging is helaas ook bij eigen opnamen werkzaam.

Het is niet de eerste keer dat hier in *Elektuur* aandacht aan besteed wordt, maar de kwestie is nog altijd zeer actueel. Dat is dan ook de reden dat in dit artikel nog eens een gemakkelijk te bouwen en vooral goedkope schakeling wordt beschreven, waarmee het storende copy-prohibit-bit uit het S/PDIF-audiosignaal kan worden verwijderd.



Doel van de hier beschreven schakeling is dus dat er voortaan onbeperkt digitaal gekopieerd kan worden – iets dat alleen maar mogelijk is als we erin slagen het beveiligingsbit te elimineren, zónder dat het audiosignaal verder op enigerlei wijze aangetast wordt. Deze copybit-killer is speciaal voor dat doel ontworpen en bovendien zodanig van opzet dat er geen ingreep in de bestaande audio-installatie nodig is. De schakeling wordt simpelweg in serie opgenomen met de digitale (optische of coaxiale) verbinding tussen het weergave- en opname-apparaat in kwestie.

Als we de positieve eigenschappen van het ontwerp op een rij zetten, komen we tot een heel aardige lijst:

- ✗ Geen ingreep nodig in enig digitaal audio-apparaat.
- ✗ Geschikt voor zowel optische als coaxiale in- en uitgangssignalen.
- ✗ Opgebouwd met uitsluitend goed verkrijgbare onderdelen.

- ✗ Werkt zonder complexe programmeerbare IC's als PAL's en EPLD's.
- ✗ Simpele opzet en eenvoudige afregeling.
- ✗ Zeer goede klokregenerering door toepassing van PLL's (jitterkiller).
- ✗ LED-indicatie van de sample-frequenties 48 kHz, 44,1 kHz of 32 kHz.
- ✗ Automatische herkenning en omschakeling op de juiste sample-frequentie.
- ✗ Geringe stroomopname door toepassing van CMOS-IC's.

WERKING

In **figuur 1** is het blokschema van de copybit-killer afgebeeld. Zoals te zien bestaat het geheel uit de volgende deelschakelingen, in volgorde van bewerking: omzetting van het S/PDIF-signaal van optisch naar elektrisch – differentiërend netwerk met vorming van de absolute waarde – PLL's voor de terugwinning van de klok – herkenning en verwerking van de S/PDIF-

Deze schakeling is uitsluitend bedoeld voor digitale opname en/of weergave van eigen muzikaal werk. De redactie distantieert zich van elk illegaal gebruik van deze schakeling, waarbij auteursrechten geschonden worden die rusten op geluidsdragers zoals CD's en voorbespeelde (digitale) cassettes.

H. Hanft (Duitsland)

Figuur 1. Blokschema van de copybit-killer. In het belangrijke blok "decodering en deactivering van het copy-prohibit-bit" is een EPROM toegepast.

klok - decodering en deactivering van het copy-prohibit-bit - en, tenslotte, de omzetting van het S/PDIF-signaal van elektrisch naar optisch. We zullen nu gaan bekijken hoe de diverse deelschakelingen zijn opgebouwd, waarbij we meteen de overstap maken van blokschema naar elektrisch schema. Dat laatste is weergegeven in **figuur 2** en zoals te zien valt de totale omvang van de benodigde hardware in feite ruuze mee.

Optisch/elektrische omzetting S/PDIF-signaal

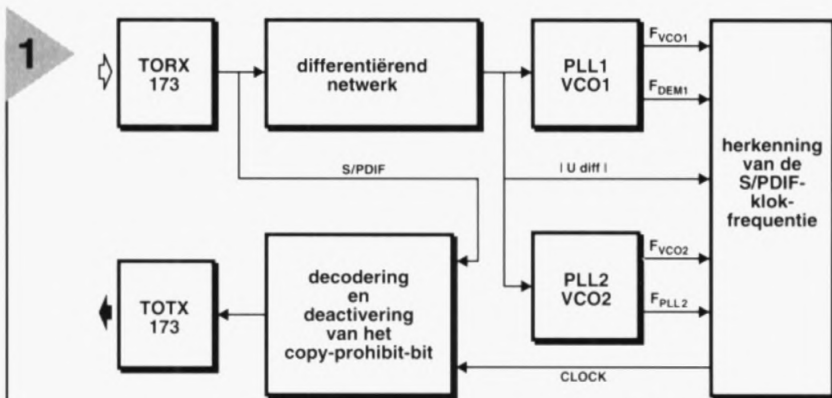
Ter verwerking van optische S/PDIF-signalen is een geïntegreerde ontvanger van het gangbare type TORX173 toegepast (IC1). Dit als ingangconnector fungerend IC zet het van de glasvezelverbinding afkomstige optische signaal rechtstreeks om in een elektrisch signaal met TTL-niveau. Uiteraard is er ook voorzien in een ingang voor "gewone" coaxiale signalen. Daartoe is cinch-connector K1 via weerstand R2 parallel geschakeld aan de uitgang van IC1.

Differentiërend netwerk

Deze deelschakeling heeft tot doel om de op- of neergaande flanken van het binnenkomend S/PDIF-signaal te detecteren. Concreet komt het er op neer dat bij elke flank van het SPDIF-signaal (opgaand danwel neergaand) een positieve puls met een gedefinieerde lengte wordt opgewekt ter synchronisatie van de navolgende PLL. Deze bewerking wordt uitgevoerd door drie EXOR-poorten (IC2a...IC2c) in combinatie met de RC-netwerken R5/C3 en R6/C4.

Phase Locked Loops

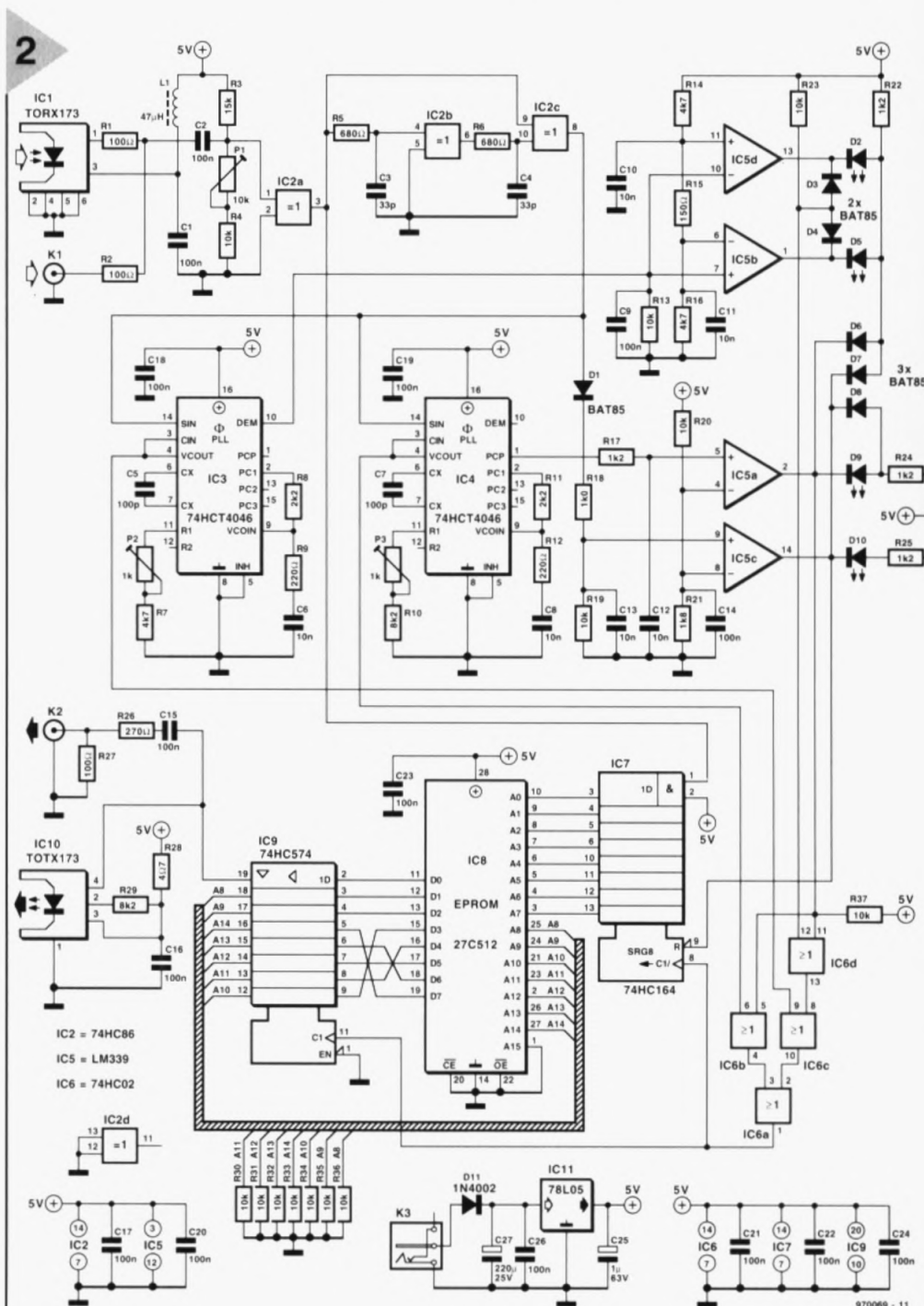
Voor het regenereren van de klokfrequentie uit het S/PDIF-signaal worden twee afzonderlijke PLL's toegepast: de eerste voor de frequenties 6,144 MHz (sample-frequentie 48 kHz) en 5,6448 MHz (sample-frequentie 44,1 kHz) en de tweede voor de frequentie 4,096 MHz (sample-frequentie



970069 - 12

32 kHz). Omwille van de eenvoud zijn hier voor beide PLL's IC's van het type 74HCT4046 toegepast (IC3 en IC4).

Genoemde IC's bevatten naast de eigenlijke fasecomparator tevens een interne VCO. Zoals het schema illustreert, zijn voor IC3 en IC4 daarom



970069 - 11

Figuur 2. Het complete schema. Er zijn uitsluitend goed verkrijgbare onderdelen toegepast en de schakeling is gemakkelijk te bouwen en af te regelen.

Onderdelenlijst**Weerstanden:**

R1,R2,R27 = 3 × 100 Ω
 R3 = 1 × 15 k
 R4,R13,R19,R20,R23,
 R30...R37 = 13 × 10 k
 R5,R6 = 2 × 680 Ω
 R7,R14,R16 = 3 × 4k7
 R8,R11 = 2 × 2k2
 R9,R12 = 2 × 220 Ω
 R10,R29 = 2 × 8k2
 R15 = 1 × 150 Ω
 R17,R22,R24,R25 = 4 × 1k2
 R18 = 1 × 1k0
 R21 = 1 × 1k8
 R26 = 1 × 270 Ω
 R28 = 1 × 4Q7
 P1 = 1 × 10 k instel
 P2,P3 = 2 × 1 k instel

Condensatoren:

C1,C2,C9,C14...C24,C26 =
 15 × 100 n keramisch
 C3,C4 = 2 × 33 p
 C5,C7 = 2 × 100 p
 C6,C8,C10...C13 = 6 × 10 n
 C25 = 1 × 1 μ/63 V radiaal
 C27 = 1 × 220 μ/25 V radiaal

Spoelen:

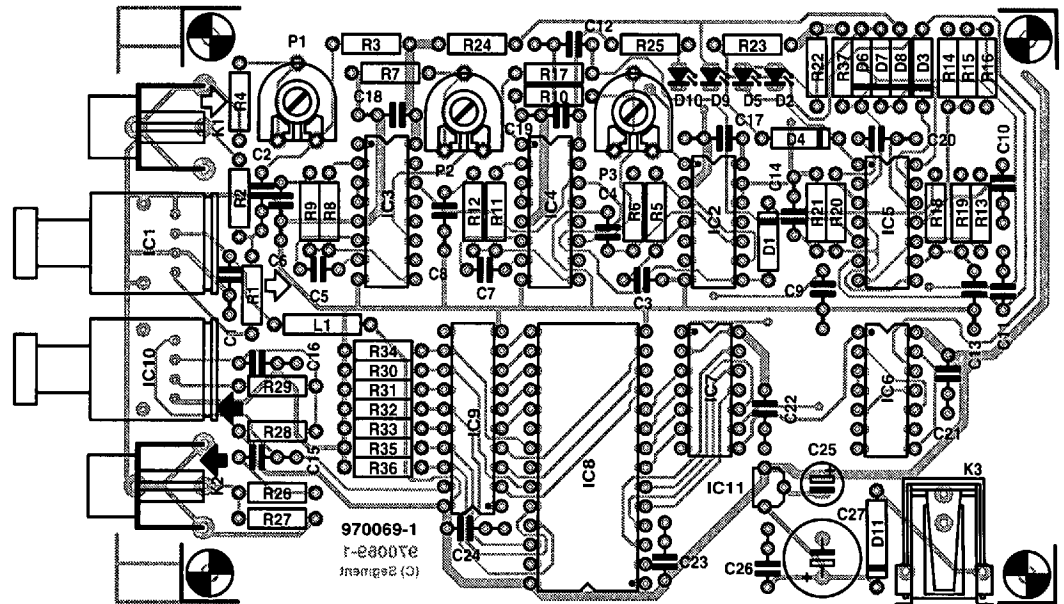
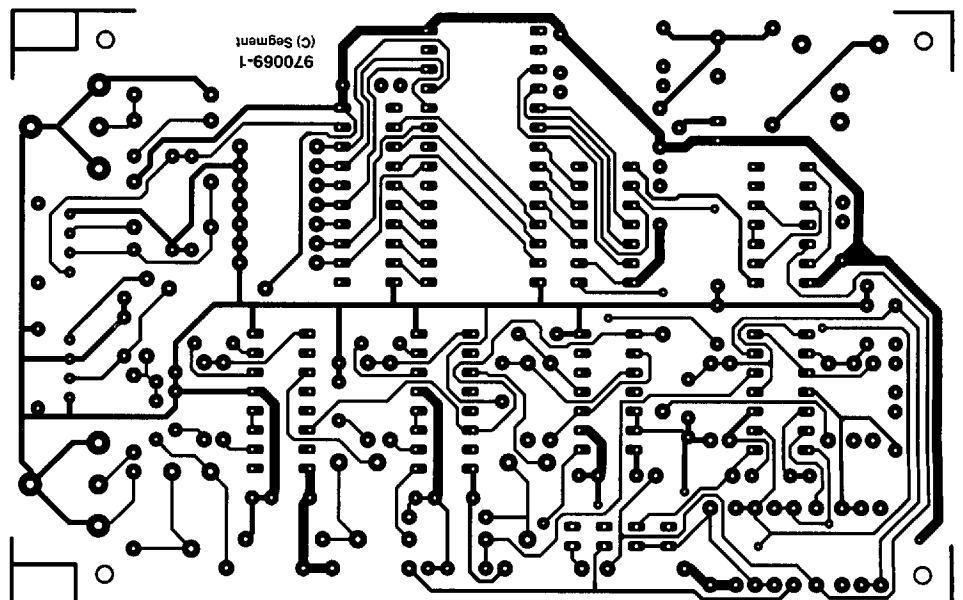
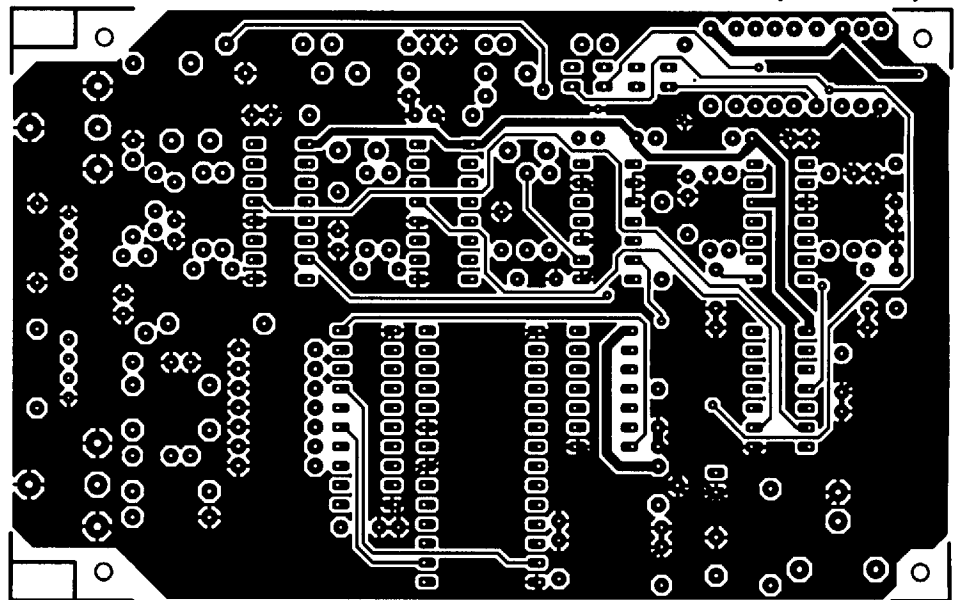
L1 = 1 × 47 μH

Halfgeleiders:

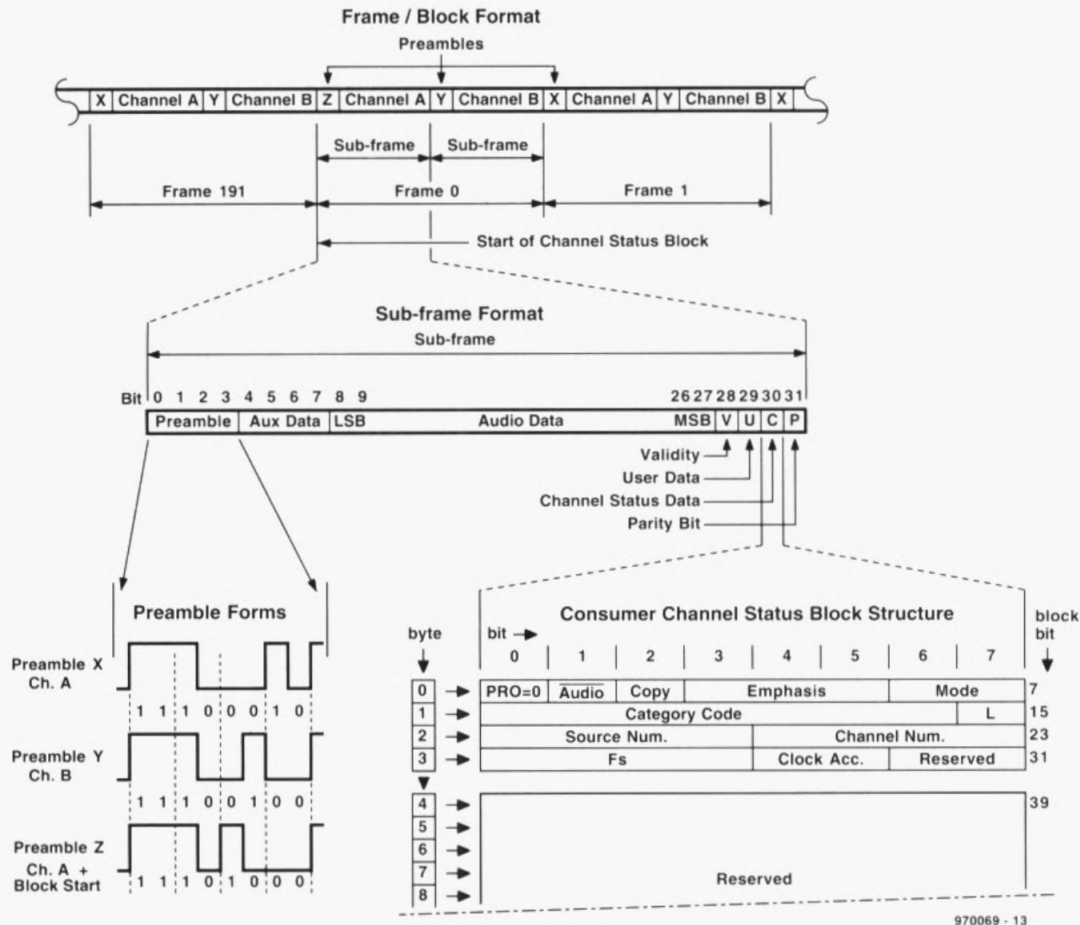
D1,D3,D4,D6...D8 = 6 ×
 BAT85
 D2,D5,D9,D10 = 4 × high-
 efficiency-LED
 D11 = 1 × 1N4002
 IC1 = 1 × TORX173
 IC2 = 1 × 74HC86
 IC3,IC4 = 2 × 74HCT4046
 IC5 = 1 × LM339
 IC6 = 1 × 74HC02
 IC7 = 1 × 74HC164
 IC8 = 1 × 27C512 (EPS
 976516-1, zie Service-pagi-
 na's)
 IC9 = 1 × 74HC574
 IC10 = 1 × TOTX173
 IC11 = 1 × 78L05

Diversen:

K1,K2 = 2 × cinch-bus voor
 printmontage (bijv. Monacor
 T-709)
 K3 = 1 × netadapter-bus
 voor printmontage
 1 combinatiepakket EPS
 970069-C, bestaande uit
 print en geprogrammeerde
 EPROM (zie service-pagi-
 na's)
 Wie de print zelf etst, kan de
 geprogrammeerde EPROM
 apart bestellen onder EPS-
 nr. 976516-1)

**componentenopstelling ▲****▼ soldeerzijde****▼ componentenzijde**

Figuur 3. Koper-layout en componentenopdruk van de print. Deze is overigens via de Elektuur-Service leverbaar.



970069 - 13

Bit-manipulatie

Door het digitale deel van de schakeling wordt in combinatie met de in de EPROM opgeslagen programmacode een proces bestuurd waarbij de status van het copy-prohibit-bit wordt herkend en zonodig veranderd. De doorloopvertraging voor het S/PDIF-signaal bedraagt één klokcyclus. Schuifregister IC7 separereert uit de seriële datastroom van het S/PDIF-signaal voortdurend de 8 laatste bifase-bithelften en wel zodanig dat op A0 het juist binnenkomende en op A1...A7 de daaraan voorafgaande bithelften ter beschikking staan.

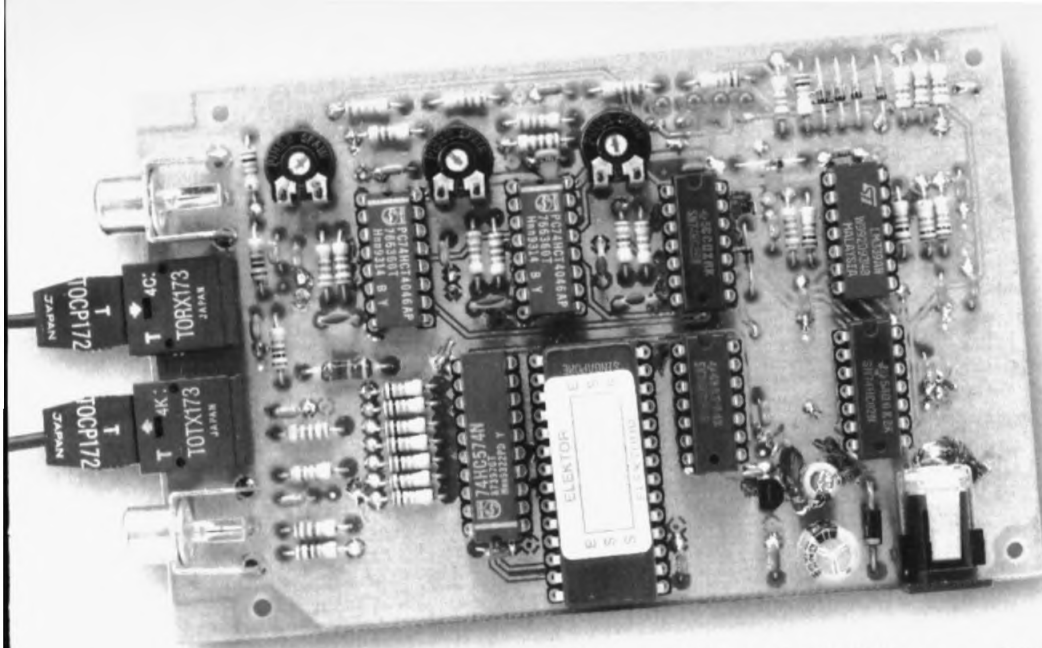
De terugkoppeling van de datalijnen naar de adreslijnen via latch IC9 deelt het geheugenbereik van de EPROM op in 128 blokken van elk 256 bytes. Daarmee is het mogelijk om binnen een blok, afhankelijk van de toestanden op de adreslijnen A0...A7, het zelfde of een ander blok te selecteren, dat dan bij een opgaande flank in de volgende klokcyclus geactiveerd wordt. Zo valt een procesbesturing te realiseren met maximaal 128 stappen. De opbouw van het S/PDIF-signaal is hierboven weergegeven. Een overdrachtsblok is samengesteld uit in totaal 192 frames. Elk frame bestaat weer uit twee sub-frames. Die sub-frames beginnen met een preamble (X,Y,Z) en bevatten in totaal 32 bits. De preambles dienen om het begin van een sub-frame te markeren; de Z-preamble kondigt tegelijk het begin van een nieuw overdrachtsblok aan.

Voor de copybit-killer is bit nr. 2 van het Consumer Channel Status Block van bijzondere betekenis. Want alleen wanneer dit bit geset is, kan er onbeperkt digitaal gekopieerd worden. Het Channel Status Bit bevindt zich op bitpositie 30 (bifase-bithelft-posities 60 en 61) van een sub-frame en treedt bij elk frame dus

twee keer op. Voor het copy-prohibit-bit betreft dit de sub-frames van frame nr. 2.

Concluderend komt het er op neer dat de toestand van bit nr. 30 in de twee sub-frames van frame nr. 2 herkend en – indien dit bit gewist is – geset moet worden. Bij verandering van een van deze bits moet echter tegelijk ook het navolgende pariteitsbit (bitpositie 31) van het sub-frame geïnverteerd worden. Daarbij kunnen zich acht verschillende gevallen voordoen, waarmee in de programmacode van de EPROM rekening dient te worden gehouden (zie onderstaande tabel).

Bit	User Data		Channel Status Data		Parity Bit	
Bi-Bit	29	30	31	32	33	34
	58	59	60	61	62	63
Case 1	*	*	0	0	1	0
C=0, P=1	↓	↓	↓	↓	↓	↓
	*	*	0	1	0	0
Case 2	*	*	0	0	1	1
C=0, P=0	↓	↓	↓	↓	↓	↓
	*	*	0	1	0	1
Case 3	*	*	0	1	0	0
C=1, P=0	↓	↓	↓	↓	↓	↓
	*	*	0	1	0	0
Case 4	*	*	0	1	0	1
C=1, P=1	↓	↓	↓	↓	↓	↓
	*	*	1	0	1	0
Case 5	*	*	1	0	1	0
C=1, P=1	↓	↓	↓	↓	↓	↓
	*	*	1	0	1	0
Case 6	*	*	1	0	1	1
C=1, P=0	↓	↓	↓	↓	↓	↓
	*	*	1	0	1	1
Case 7	*	*	1	1	0	0
C=0, P=0	↓	↓	↓	↓	↓	↓
	*	*	1	1	0	0
Case 8	*	*	1	1	0	1
C=0, P=1	↓	↓	↓	↓	↓	↓
	*	*	1	0	1	0



Figuur 4. Als de print correct is opgebouwd, ziet hij er zo uit.

slechts zeer weinig externe componenten nodig. De beide PLL's zijn nagenoeg identiek gedimensioneerd en verschillen onderling alleen in de waarde van de weerstand (R7 en R10) waarmee de centrale frequentie van de VCO wordt ingesteld.

Herkenning van de klokfrequentie

Deze deelschakeling heeft ten doel om de sample-frequentie van het S/PDIF-signaal te detecteren en deze aan het decodergedeelte toe te voeren. Het gedeelte van de schakeling dat dit karwei voor zijn rekening neemt, bestaat uit een eenvoudige comparator van het type LM339 (IC5a...IC5d), alsmede vier NOR-poorten (IC6a...IC6d). De comparatoren herkennen het binnenkomende S/PDIF-signaal en zorgen er daarnaast voor dat de op dat moment ingelockte PLL in de signaalverwerking wordt betrokken. Bovendien wordt bij de voor de sample-frequenties 48 kHz en 44,1 kHz bestemde PLL (IC3) de VCO-regelspanning met behulp van twee comparatoren (IC5b en IC5d) gemeten en wordt de desbetreffende sample-frequentie via de LED's D2 en D5 aangegeven.

Decodering en deactivering van het copy-prohibit-bit

Het hart van de schakeling wordt uiteraard gevormd door het digitale gedeelte dat voor het daadwerkelijke onschadelijk maken van het storende beveiligingsbit zorgt. Dit digitale deel van de schakeling bestaat uit een flankgetriggert 8-bits schuifregister van het type 74HC164 (IC7), een 32-Kbyte-EPROM (IC8) en een eveneens flankgetriggert 8-bits latch 74HC574 (IC9). De adreslijnen A0...A7 van de EPROM worden via het schuifregister aangestuurd, terwijl latch IC9 de terugkoppeling verzorgt van de data-bits D1...D7 naar de adressen A8...A14. Door deze opzet wordt, in combinatie met de in de EPROM aanwezige software, het copy-prohibit-bit herkend en gedeactiveerd. Op de uitgang Q0 (pen

19) van de latch staat het S/PDIF-signaal in gemodificeerde vorm ter beschikking.

Natuurlijk hadden we voor dit deel van de schakeling ook heel goed een geprogrammeerde controller kunnen toepassen. Deze EPROM-variant vormt echter een zeer goedkoop en bovendien goed verkrijgbaar alternatief voor een EPLD. Daar komt nog bij dat het programmeren van een EPROM met conventionele middelen gemakkelijk uit te voeren is; een niet te onderschatten voordeel dat natuurlijk door ons ook in de afweging moest worden betrokken.

Voor de benodigde EPROM-data zorgt een klein Pascal-programma, dat een binair bestand met een omvang van 32768 Byte produceert. De nabouwers hoeven zich daar verder echter geen kopzorgen over te maken, aangezien de geprogrammeerde EPROM in kant-en-klare vorm via de Elektuur-Service verkrijgbaar is.

Elektrisch/optische omzetting

Om het S/PDIF-signaal weer om te zetten van elektrische naar optische vorm, is gebruik gemaakt van een geïntegreerde zender van het type TOTX173 (IC10), de tegenhanger in feite van de aan de ingang toegepaste TORX173. Het van latch IC9 afkomstige TTL-signaal wordt door IC10 getransformeerd in een equivalent optisch signaal dat via een standaard optische kabel verder getransporteerd kan worden. Net als aan de ingang is parallel aan IC10 een coaxiale aansluiting geplaatst in de vorm van cinch-connector K2.

BOUW

De opbouw van de schakeling op de in **figuur 3** afgebeelde print is een betrekkelijk eenvoudig karwei. Moeilijke onderdelen zitten er niet in en kritisch is de schakeling al evenmin. Dus het is een kwestie van netjes de gaatjes opvullen aan de hand van de componentendruk

en de onderdelenlijst.

De onderdelen zijn zonder uitzondering gangbare standaardtypen. EPROM IC8 is zoals gezegd in geprogrammeerde vorm via de Elektuur-Service leverbaar. Voor de vier LED's dienen high-efficiency-typen toegepast, want daar zijn de voorschakelweerstand op berekend. We zetten nog even de indicatiefuncties van de LED's op een rijtje:

- ◆ D2: sample-frequentie 48 kHz;
- ◆ D5: sample-frequentie 44,1 kHz;
- ◆ D9: sample-frequentie 32 kHz;
- ◆ D10: geen of slecht ingangssignaal.

Als u de print helemaal hebt opgebouwd, kunt u hem nog eens vergelijken met het in **figuur 4** afgebeelde exemplaar.

Voor de voeding van de schakeling kan op connector K3 een standaard netadapter worden aangesloten. De uitgangsspanning daarvan dient 9 à 10 V te bedragen en beslist niet méér, aangezien anders het gevaar bestaat dat de dissipatiegrens van stabilisator IC11 wordt overschreden. Sommige netadapters zijn zo royaal met uitgangsspanning dat ze al 9 V leveren in de stand "6 V"; meet de spanning dus even na! Het stroomverbruik van de schakeling is zo'n 80 mA.

AFREGELING

P1 dient voor de afregeling van het trigger-niveau aan de ingang van de schakeling. Dit kan het beste met behulp van een oscilloscoop gebeuren en wel zodanig dat de pulsen aan de uitgang van het differentiërend netwerk (pen 8 van IC2) zo goed mogelijk over elkaar vallen. Met deze instelling ontstaat de minste jitter. Eventueel kan men de instelling controleren bij andere signaalbronnen en sample-frequenties, en zo een bruikbaar "gemiddelde" zien te vinden.

De afregeling van VCO IC3 met P2 luistert vrij nauw. Men dient er hierbij voor te zorgen dat de spanningsvariatie (circa 220 mV) aan de uitgang van IC3 (pen 10) symmetrisch rond de ingangsspanningen van IC5b en IC5d (venster circa 80 mV) ligt als er gewisseld wordt tussen de sample-frequenties 44,1 en 48 kHz. Met een digitale multimeter is dit goed te meten.

De afregeling van de tweede VCO met P3 is niet zo kritisch. Let er wel op dat de LED-indicatie (D2, D5 en D9) overeenstemt met de aangesloten sample-frequentie!

(970669)